

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Satoshi IMAI et al.

Application No.: Unassigned

Group Art Unit: Unassigned

Filed: August 19, 2003

Examiner: Unassigned

For: INFORMATION PROCESSING DEVICE EQUIPPED WITH IMPROVED ADDRESS
QUEUE REGISTER FILES FOR CACHE MISS

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

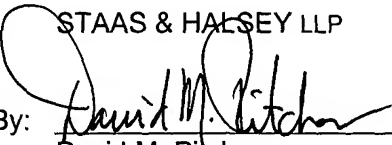
Japanese Patent Application No(s). 2002-239991

Filed: August 21, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

By: 
David M. Pitcher
Registration No. 25,908

Date: August 19, 2003

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月21日

出 願 番 号

Application Number:

特願2002-239991

[ST.10/C]:

[JP2002-239991]

出 願 人

Applicant(s):

富士通株式会社

2003年 1月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2002-3104621

【書類名】 特許願

【整理番号】 0240137

【提出日】 平成14年 8月21日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/08

【発明の名称】 情報処理装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 今井 賢

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 早川 文彦

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 須賀 敦浩

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100092587

【弁理士】

【氏名又は名称】 松本 眞吉

【電話番号】 0426-20-7053

【手数料の表示】

【予納台帳番号】 004880

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705607

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置

【特許請求の範囲】

【請求項 1】 第 1 及び第 2 フィールドからなる入力アドレスがキャッシュミスと判定されたときに、該入力アドレスを F I F O 方式で格納し読み出してメインメモリ制御回路に供給する情報処理装置において、

該第 1 及び第 2 フィールドからなる第 1 アドレスと該第 1 アドレスの有効／無効を示す有効フラグと待ち状態情報とが格納される第 1 レジスタを複数備えた第 1 レジスタファイルと、

該第 2 フィールドからなる第 2 アドレスと該第 2 アドレスの有効／無効を示す有効フラグとが格納される第 2 レジスタを該複数の第 1 レジスタのそれぞれに対応させて備えた第 2 レジスタファイルと、

該複数の第 1 レジスタのうち任意の 1 つの第 1 レジスタの該第 1 フィールドの値と該入力アドレスの該第 1 フィールドの値とを比較する比較回路と、

制御回路と、を有し、該制御回路は、

有効フラグが無効を示している第 1 レジスタに該入力アドレスを格納させ、この第 1 レジスタの有効フラグが有効を示すようにし、又は、有効フラグが有効を示している第 1 レジスタと該入力アドレスとの該比較回路による比較結果が一致を示しているとき、有効フラグが無効を示している、この第 1 レジスタに対応した第 2 レジスタに該入力アドレスの第 2 フィールドを格納させ、この第 2 レジスタの有効フラグが有効を示すようにし、

有効フラグが有効を示している第 1 レジスタの内容を選択的に読み出させ、

読み出されたこの第 1 レジスタに対応した第 2 レジスタの有効フラグが無効を示している場合にはこの第 1 レジスタの有効フラグが無効を示すようにし、

読み出されたこの第 1 レジスタに対応した第 2 レジスタの有効フラグが有効を示している場合にはこの第 2 レジスタの第 2 フィールドの値をこの第 1 レジスタの第 2 フィールドにシフトさせ、この第 2 レジスタの有効フラグが無効を示すようにする、

ことを特徴とする情報処理装置。

【請求項 2】 書き込み時に、該入力アドレスを該第 1 又は第 2 レジスタファイルの任意の行の第 1 又は第 2 レジスタへ選択的に転送し、読み出し時に、該第 1 及び第 2 レジスタファイルの任意の行の第 1 及び第 2 レジスタの第 2 フェーロードの内容をこの第 1 レジスタ側へシフトさせる選択転送回路をさらに有することを特徴とする請求項 1 記載の情報処理装置。

【請求項 3】 該制御回路は、ライトポインタを備え、

(1) 該複数の第 1 レジスタのうち該ライトポインタが指し示す第 1 レジスタの有効フラグが無効を示している場合には、該ライトポインタが指し示す第 1 レジスタに該入力アドレスが格納されるように該選択転送回路を制御し、この有効フラグが有効を示すようにし、

(2) 該ライトポインタが指し示す第 1 レジスタの有効フラグが有効を示している場合には、

(a) 該ライトポインタが指し示す第 1 レジスタと該入力アドレスとの該比較回路による比較結果が一致を示しているとき、該ライトポインタが指し示す第 2 レジスタに該入力アドレスが格納されるように該選択転送回路を制御し、この第 2 レジスタの有効フラグが有効を示すようにし、該ライトポインタをインクリメントさせ、

(b) 該比較結果が不一致を示しているとき、該ライトポインタをインクリメントさせ、該ライトポインタが指し示す第 1 レジスタに該入力アドレスが格納されるように該選択転送回路を制御し、この第 1 レジスタの有効フラグが有効を示すようにする、

ことを特徴とする請求項 2 記載の情報処理装置。

【請求項 4】 該制御回路は、リードポインタを備え、

(3) 該複数の第 1 レジスタのうち該リードポインタが指し示す第 1 レジスタの内容を選択的に読み出させ、

(4) 該複数の第 2 レジスタのうち該リードポインタが指し示す第 2 レジスタの有効フラグが、

(c) 無効を示している場合には、該リードポインタが指し示す第 1 レジスタの有効フラグが無効を示すようにし、該リードポインタをインクリメントし、

(d) 有効を示している場合には、この第 2 レジスタの第 2 フィールドの値を対応する第 1 レジスタにシフトさせて該第 1 レジスタの第 2 フィールドに書き込ませるように該選択転送回路を制御し、この第 2 レジスタの有効フラグが無効を示すようにする、

ことを特徴とする請求項 2 又は 3 記載の情報処理装置。

【請求項 5】 該第 2 レジスタファイルを複数備え、該複数の第 2 レジスタファイルが各レジスタ行について縦続接続されており、

書き込み時に、該入力アドレスを該第 1 又は第 2 レジスタファイルの任意の行の第 1 又は第 2 レジスタへ選択的に転送し、読み出し時に、該第 1 及び第 2 レジスタファイルの任意の行の第 1 及び第 2 レジスタの第 2 フィールドの内容をこの第 1 レジスタ側へシフトさせる選択転送回路をさらに有することを特徴とする請求項 1 記載の情報処理装置。

【請求項 6】 該制御回路は、ライトポインタを備え、

(1) 該複数の第 1 レジスタのうち該ライトポインタが指し示す第 1 レジスタの有効フラグが無効を示している場合には、該ライトポインタが指し示す第 1 レジスタに該入力アドレスが格納されるように該選択転送回路を制御し、この有効フラグが有効を示すようにし、

(2) 該ライトポインタが指し示す第 1 レジスタの有効フラグが有効を示している場合には、

(a) 該ライトポインタが指し示す第 1 レジスタと該入力アドレスとの該比較回路による比較結果が一致を示しているとき、該ライトポインタが指し示す複数の第 2 レジスタのうち有効フラグが無効を示しかつ隣の第 2 レジスタの有効フラグが有効を示している第 2 レジスタに該入力アドレスが格納されるように該選択転送回路を制御し、この第 2 レジスタの有効フラグが有効を示すようにし、該ライトポインタが指し示す該複数の第 2 レジスタの有効フラグが全て有効を示しているときには該ライトポインタをインクリメントさせ、

(b) 該比較結果が不一致を示しているとき、該ライトポインタをインクリメントさせ、該ライトポインタが指し示す第 1 レジスタに該入力アドレスが格納されるように該選択転送回路を制御し、この第 1 レジスタの有効フラグが有効を

示すようにする、

ことを特徴とする請求項 5 記載の情報処理装置。

【請求項 7】 該制御回路は、リードポインタを備え、

(3) 該複数の第 1 レジスタのうち該リードポインタが指し示す第 1 レジスタの内容を選択的に読み出させ、

(4) 該複数の第 2 レジスタファイルの、該リードポインタが指し示す行の該複数の第 2 レジスタの有効フラグが、

(c) 全て無効を示している場合には、該リードポインタが指し示す第 1 レジスタの有効フラグが無効を示すようにし、該リードポインタをインクリメントし、

(d) 少なくとも 1 つ有効を示している場合には、この行の該第 1 レジスタ及び該複数の第 2 レジスタの第 2 フィールドの内容が該第 1 レジスタファイル側へシフトするように該選択転送回路を制御し、この複数の第 2 レジスタのシフト方向と反対方向の端の有効フラグが無効を示すようにする、

ことを特徴とする請求項 5 又は 6 記載の情報処理装置。

【請求項 8】 該第 1 及び第 2 フィールドはキャッシュメモリとの関係で定義され、該第 1 フィールドは、タグフィールドとエントリフィールドとからなり、該第 2 フィールドは、該エントリフィールドより下位側のオフセットフィールドであることを特徴とする請求項 1 乃至 7 のいずれか 1 つに記載の情報処理装置。

【請求項 9】 該第 1 及び第 2 フィールドはキャッシュメモリとの関係で定義され、該第 1 フィールドはエントリフィールドであり、該第 2 フィールドは、該エントリフィールドより上位側のタグフィールドと該エントリフィールドより下位側のオフセットフィールドとからなることを特徴とする請求項 1 乃至 7 のいずれか 1 つに記載の情報処理装置。

【請求項 10】 該第 1 及び第 2 フィールドはキャッシュメモリとの関係で定義され、該第 1 フィールドはタグフィールドであり、該第 2 フィールドは、該タグフィールドより下位側のエントリフィールドと該エントリフィールドより下位側のオフセットフィールドとからなることを特徴とする請求項 1 乃至 7 のい

れか 1 つに記載の情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プロセッサ等に備えられ、キャッシュミス時にアドレスを F I F O で格納し読み出してメインメモリ制御回路に供給する情報処理装置に関する。

【0002】

【従来の技術】

図 1 0 は、メインメモリに接続された従来のプロセッサを示す概略ブロック図である。

【0003】

プロセッサ 1 0 では、命令実行回路 1 1 が、命令に含まれるオペランドのアドレスを計算し、このアドレスが論理アドレスである場合にはさらにこれを物理アドレスに変換し、アドレス A D としてデータアクセス回路 1 2 に供給する。

【0004】

図 1 1 に示すように、キャッシュメモリ 1 7 との関係でアドレス A D は、その上位側からタグ T A G、エントリ E N T 及びオフセット O F S のフィールドに分けられ、エントリ E N T がタグテーブル 1 4 のアドレス入力端に供給される。タグテーブル 1 4 から読み出されたタグの値と入力アドレス A D のタグ T A G の値とがヒット／ミス判定回路 1 5 で比較され、その結果がキャッシュヒット／ミス信号 H / M として図 1 0 のキャッシュ制御回路 1 6 に供給される。

【0005】

命令実行回路 1 1 は、入力アドレス A D と同時にリクエスト信号 R Q をキャッシュ制御回路 1 6 に供給する。キャッシュ制御回路 1 6 は、リクエスト信号 R Q に応答してアクノリッジ信号 A C K を命令実行回路 1 1 に供給し、キャッシュヒット／ミス信号 H / M が活性、すなわちキャッシュヒットである場合には、キャッシュメモリ 1 7 に対しリクエスト信号を供給するとともに入力アドレス A D のエントリ E N T 及びオフセット O F S の値をキャッシュメモリ 1 7 に供給する。

【0006】

キャッシュメモリ 17 はこれに応答して、エントリ ENT の値でアドレス指定されるロングワードの、オフセット OFS の値で指定される部分をデータ出力端に取り出すとともに、キャッシュ制御回路 16 にレディー信号を供給する。

【 0 0 0 7 】

キャッシュ制御回路 16 はこれに応答して、セクタ 18 をキャッシュメモリ 17 の出力側に切り換え、この出力をリードデータ RD として命令実行回路 11 に供給させる。キャッシュ制御回路 16 はこれと同時に、リードデータ RD に対応した入力アドレス AD 及びレディー信号 RDY を命令実行回路 11 に供給する。命令実行回路 11 はこれに応答して、リードデータ RD を入力アドレス AD の内容として受け取る。

【 0 0 0 8 】

アドレスキュー制御回路 19 は、キャッシュヒット／ミス信号 H／M が不活性である場合、すなわちキャッシュミスである場合、入力アドレス AD をアドレスキュー記憶・選択回路 20 のレジスタファイル 21 に F I F O で格納する。アドレスキュー制御回路 19 は、この入力アドレス AD に対応してレジスタファイル 21 に、メインメモリリクエスト待ち又はメインメモリからキャッシュメモリ 17 へのリードデータ書き込み完了を示す待ち状態 WS を書き込む。アドレスキュー制御回路 19 は、セクタ 22 に選択制御信号を供給して、F I F O でレジスタファイル 21 に格納されている入力アドレス（格納入力アドレス）AD 及び待ち状態 WS をメインメモリ制御回路 23 に供給させるとともに、メインメモリ制御回路 23 にメインメモリリードリクエスト信号 MRQ を供給する。

【 0 0 0 9 】

メインメモリ制御回路 23 は、このメインメモリリードリクエスト信号 MRQ に応答して、待ち状態 WS がメモリリクエスト待ちを示している場合には、読み出された格納入力アドレス AD であるメインメモリリードアドレス MRA のタグ TAG 及びエントリ ENT で示される一連のデータをメインメモリ 30 から読み出し、キャッシュライトデータ CD としてキャッシュメモリ 17 に供給するとともに、メインメモリリードアドレス MRA をキャッシュ制御回路 16 に供給し、出力中のキャッシュライトデータ CD のアドレスがメインメモリリードリクエス

ト信号MRQに一致したとき、レディー信号をキャッシュ制御回路16に供給する。

【0010】

キャッシュ制御回路16は、メインメモリリードアドレスMRAのタグTAG及びエントリENTでキャッシュメモリ17をアドレス指定してキャッシュライトデータCDをキャッシュメモリ17に書き込ませ、該レディー信号に応答して、セクタ18をCD側に切り替え、この時のデータをリードデータRDとして命令実行回路11に供給させるとともに、リードアドレスRA=MRQ及びレディー信号RDYを命令実行回路11に供給する。キャッシュ制御回路16は、キャッシュメモリ17へのデータCDの書き込みが完了すると、データCDに対応したメインメモリリードアドレスMRAのエントリENTでタグテーブル14をアドレス指定して、アドレスMRAのタグTAGを書き込む。

【0011】

レジスタファイル21に格納されているアドレスのうち、タグTAG及びエントリENTが互いに一致するものが複数存在する場合、その1つがメインメモリ制御回路23に供給されてメインメモリ30がアクセスされると、該複数のアドレスのうち他のアドレスについてはメインメモリ30をアクセスする必要がないので、アドレスキュー制御回路19によりレジスタファイル21内の待ち状態WSが、キャッシュメモリ17への書き込み完了を示す値に書き換えられる。

【0012】

メインメモリ制御回路23は、アドレスキュー制御回路19からのメインメモリリードリクエスト信号MRQに응答して、待ち状態WSが該書き込み完了を示している場合、これを示す信号及びメインメモリリードアドレスMRAをキャッシュ制御回路16に供給し、キャッシュ制御回路16はこれに응答して、キャッシュヒット／ミス信号H／Mが活性である場合と同様の処理を行なう。

【0013】

図10では、簡単化のため、データアクセス回路12に対するアドレスADへのデータ書き込み処理の構成が省略されている。

【0014】

次に、レジスタファイル 2 1 の動作を、図 1 2 を参照して説明する。

【 0 0 1 5 】

説明の簡単化のために、レジスタファイル 2 1 に格納できる入力アドレス AD の数を 3 とする。AD 1 ～ AD 4 はいずれも、キャッシュミスとなる同一タグかつ同一エントリの入力アドレス AD であり、AD 5 はキャッシュヒットとなる入力アドレス AD であるとする。

【 0 0 1 6 】

時刻 T 1 でレジスタファイル 2 1 に入力アドレス AD 1 が格納され、これがセクタ 2 2 で選択されてメインメモリ制御回路 2 3 に供給される。メインメモリ制御回路 2 3 がメインメモリ 3 0 に対しリードアクセスを開始してから、一連のデータを読み出しキャッシュメモリ 1 7 に格納するまでに要する時間を、 τ と表記する。

【 0 0 1 7 】

時刻 T 2 及び T 3 でそれぞれレジスタファイル 2 1 に入力アドレス AD 2 及び AD 3 が格納される。アドレスキュー制御回路 1 9 は、レジスタファイル 2 1 がフル状態であることを示す信号をキャッシュ制御回路 1 6 に供給し、キャッシュ制御回路 1 6 はこれに応答して、命令実行回路 1 1 に供給するビジー信号 B S Y を活性にする。命令実行回路 1 1 は、ビジー信号 B S Y が不活性になるまで動作を停止する。

【 0 0 1 8 】

このため、入力アドレス AD 5 のデータがキャッシュメモリ 1 7 に存在するにもかかわらず、このデータの読み出し動作を行なうことができない。

【 0 0 1 9 】

時刻 T 1 + τ で格納入力アドレス AD 1 が無効になり、この場所に入力アドレス AD 4 が格納される。

【 0 0 2 0 】

【発明が解決しようとする課題】

一般に、互いに接近したアドレスのデータ使用率が比較的高いので、ある入力アドレス AD のキャッシュミスが生ずると、その後、この入力アドレス AD と同

一のタグかつ同一のエントリの入力アドレスのキャッシュミスが連続して生じ、レジスタファイル 2 1 がフル状態になって命令実行回路 1 1 の動作が中断し、動作の高速化が妨げられる。

【 0 0 2 1 】

この問題は、レジスタファイル 2 1 の記憶容量を増やすことにより解決することができる。

【 0 0 2 2 】

しかしながら、入力アドレス A D が例えば 3 2 ビットと比較的長いので、アドレスキュー記憶・選択回路 2 0 の回路規模が大きくなる。

【 0 0 2 3 】

本発明の目的は、このような問題点に鑑み、記憶容量の増大を抑制して、格納できるアドレス数を増加させることが可能な情報処理装置を提供することにある。

【 0 0 2 4 】

【課題を解決するための手段及びその作用効果】

本発明の一態様では、第 1 及び第 2 フィールドからなる入力アドレスがキャッシュミスと判定されたときに、該入力アドレスを F I F O 方式で格納し読み出してメインメモリ制御回路に供給する情報処理装置において、

該第 1 及び第 2 フィールドからなる第 1 アドレスと該第 1 アドレスの有効／無効を示す有効フラグと待ち状態情報とが格納される第 1 レジスタを複数備えた第 1 レジスタファイルと、

該第 2 フィールドからなる第 2 アドレスと該第 2 アドレスの有効／無効を示す有効フラグとが格納される第 2 レジスタを該複数の第 1 レジスタのそれぞれに対応させて備えた第 2 レジスタファイルと、

該複数の第 1 レジスタのうち任意の 1 つの第 1 レジスタの該第 1 フィールドの値と該入力アドレスの該第 1 フィールドの値とを比較する比較回路と、

制御回路と、を有し、該制御回路は、

有効フラグが無効を示している第 1 レジスタに該入力アドレスを格納させ、この第 1 レジスタの有効フラグが有効を示すようにし、又は、有効フラグが有効を

示している第 1 レジスタと該入力アドレスとの該比較回路による比較結果が一致を示しているとき、有効フラグが無効を示している、この第 1 レジスタに対応した第 2 レジスタに該入力アドレスの第 2 フィールドを格納させ、この第 2 レジスタの有効フラグが有効を示すようにし、

有効フラグが有効を示している第 1 レジスタの内容を選択的に読み出させ、

読み出されたこの第 1 レジスタに対応した第 2 レジスタの有効フラグが無効を示している場合にはこの第 1 レジスタの有効フラグが無効を示すようにし、

読み出されたこの第 1 レジスタに対応した第 2 レジスタの有効フラグが有効を示している場合にはこの第 2 レジスタの第 2 フィールドの値をこの第 1 レジスタの第 2 フィールドにシフトさせ、この第 2 レジスタの有効フラグが無効を示すようにする。

【 0 0 2 5 】

この構成によれば、第 2 レジスタが第 1 フィールド及び待ち状態情報をもつ必要がないので、情報処理装置の記憶容量の増大を抑制して、記憶可能な入力アドレスの数を増大させることが可能となり、これにより情報処理装置の回路規模を縮小することができるという効果を奏する。

【 0 0 2 6 】

本発明の他の目的、構成及び効果は以下の説明から明らかになる。

【 0 0 2 7 】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態を説明する。

【 0 0 2 8 】

〔第 1 実施形態〕

図 1 は、本発明の第 1 実施形態の、メインメモリ 3 0 に接続されたプロセッサ 1 0 A の概略ブロック図である。図 1 では、簡単化のため、データアクセス回路 1 2 A に対するアドレス A D へのデータ書き込み処理の構成が省略されている。

【 0 0 2 9 】

データアクセス回路 1 2 A のアドレスキュー記憶・選択回路 2 0 A では、メインレジスタファイル 2 1 A の各レジスタに対応したレジスタを有するサブレジス

タファイル 2 4 を備えている。また、レジスタファイル 2 1 A 及び 2 4 に入力アドレス A D を効率良く格納するために、データアクセス回路 1 2 A にタグ & エントリ一致判定回路 2 5 が備えられている。

【 0 0 3 0 】

タグ & エントリ一致判定回路 2 5 には、入力アドレス A D 及びメインレジスタファイル 2 1 A の各レジスタのアドレスのタグ T A G 及びエントリ E N T 並びに有効フラグ E F が供給され、入力アドレス A D のタグ T A G 及びエントリ E N T の値と一致しかつ有効フラグ E F が有効であることを示しているレジスタが存在するかどうかを判定し、その結果をアドレスキュー制御回路 1 9 A に供給する。

【 0 0 3 1 】

アドレスキュー制御回路 1 9 A は、この判定結果に応じてメインレジスタファイル 2 1 A またはサブレジスタファイル 2 4 のレジスタを選択し、これに入力アドレス A D またはその一部を格納させる。アドレスキュー制御回路 1 9 A は、レジスタファイル 2 1 A 及び 2 4 に対する F I F O 処理のため、ライトポインタ W P 及びリードポインタ R P を備えている。

【 0 0 3 2 】

図 2 は、本第 1 実施形態の特徴部分であるキャッシュミスアドレスキューのより詳細な構成を、簡単化のためにメインレジスタファイル 2 1 A のレジスタ数が 2 である場合について示す概略ブロック図である。

【 0 0 3 3 】

メインレジスタファイル 2 1 A は、互いに同一構成のレジスタ 2 1 1 と 2 1 2 とを備えている。レジスタ 2 1 1 は、格納入力アドレス A D と、A D が有効であるか無効であるかを示す有効フラグ E F と、上述の待ち状態 W S とのフィールドを有する。メインレジスタファイル 2 1 A 内の各有効フラグ E F 及び待ち状態 W S は、アドレスキュー制御回路 1 9 A に接続されている。

【 0 0 3 4 】

サブレジスタファイル 2 4 は、レジスタ 2 1 1 及び 2 1 2 にそれぞれ対応したレジスタ 2 4 1 及び 2 4 2 を備えている。レジスタ 2 4 1 と 2 4 2 とは、互いに同一構成である。レジスタ 2 4 1 は、入力アドレス A D のオフセット O F S とエ

ントリENTとのフィールドを有する。すなわち、レジスタ241は、レジスタ211から入力アドレスADのタグ及びエントリと待ち状態WSとを省略した構成である。

【0035】

サブレジスタファイル24とメインレジスタファイル21Aとの間には、選択転送回路26が接続されている。選択転送回路26は、レジスタ241及び242にそれぞれ対応したセクタ261及び262を備えている。セクタ261の一方の入力端にはレジスタ241のオフセットOFFSが供給され、他方の入力端には入力アドレスADが供給される。セクタ261の出力は、レジスタ211の格納入力アドレスフィールドに接続されている。セクタ261の制御入力端には、アドレスキュー制御回路19Aから選択制御信号SEL1が供給される。選択制御信号SEL1によりレジスタ241のオフセットOFFSが選択された場合には、その内容がレジスタ211のADフィールドのOFFSフィールドのみに供給され、入力アドレスADが選択された場合には、その内容がレジスタ211のADフィールドに供給され、いずれの場合もアドレスキュー制御回路19AからのラッチパルスLP11のタイミングでレジスタ211にラッチされる。セクタ262についてもセクタ261と同様である。

【0036】

タグ&エントリ一致判定回路25は、互いに同一構成のコンパレータ251と252とを備えている。コンパレータ251及び252の一方の入力端には入力アドレスADが供給され、他方の入力端にはそれぞれレジスタ211及び212の格納入力アドレスのタグTAG及びエントリENT並びに有効フラグEFの値が供給される。コンパレータ251は、入力アドレスADのタグTAG及びエントリENTの値がそれぞれレジスタ211の格納入力アドレスのタグTAG及びエントリENTの値に一致し、かつ、レジスタ211の有効フラグEFが有効であることを示している場合、その出力EQ1を活性にする。一致信号EQ1は、アドレスキュー制御回路19Aに供給される。コンパレータ252についてもコンパレータ251と同様である。

【0037】

入力アドレスADが前回、レジスタ211に格納された場合、一致信号EQ1が活性であれば、アドレスキュー制御回路19AはラッチパルスLP12により入力アドレスADのオフセットOFSをレジスタ241にラッチさせ、一致信号EQ1が不活性であれば、アドレスキュー制御回路19Aは選択制御信号SEL2によりセクタ262を入力アドレスAD側に切り替え、ラッチパルスLP21により入力アドレスADをレジスタ212にラッチさせる。

【0038】

入力アドレスADが前回、レジスタ241に格納された場合、アドレスキュー制御回路19Aは選択制御信号SEL2によりセクタ262を入力アドレスAD側に切り替え、ラッチパルスLP21により入力アドレスADをレジスタ212にラッチさせる。

【0039】

入力アドレスADが前回、レジスタ212に格納された場合、一致信号EQ2が活性であれば、アドレスキュー制御回路19AはラッチパルスLP22により入力アドレスADのオフセットOFSをレジスタ242にラッチさせ、一致信号EQ2が不活性であれば、アドレスキュー制御回路19Aは選択制御信号SEL1によりセクタ261を入力アドレスAD側に切り替え、ラッチパルスLP11により入力アドレスADをレジスタ211にラッチさせる。

【0040】

入力アドレスADが前回、レジスタ242に格納された場合、アドレスキュー制御回路19Aは選択制御信号SEL1によりセクタ261を入力アドレスAD側に切り替え、ラッチパルスLP11により入力アドレスADをレジスタ211にラッチさせる。

【0041】

アドレスキュー制御回路19Aは、レジスタ211の内容を読み出させた後、レジスタ241のオフセットOFSを、セクタ261を介しレジスタ211のオフセットフィールドにシフトさせ、レジスタ241の有効フラグEF及び待ち状態WSをリセットする。これにより、レジスタ211のタグ及びエントリ並びに待ち状態WSが、レジスタ241のオフセットOFSのためのデータとしても

用いられる。

【 0 0 4 2 】

図 3 及び図 4 は、レジスタファイル 2 1 A 及び 2 4 の書き込み順及び読み出し順を説明するための動作シーケンス図である。図 3 (A) ～ (D) 及び図 4 (A) ～ (D) はそれぞれ時刻 T 0 ～ T 3 及び T 4 ～ T 7 での状態を示す。

【 0 0 4 3 】

ライトポインタ WP の内容 i は、次に書き込むレジスタファイル 2 1 A 又は 2 4 のアドレス値を示している。リードポインタ RP の内容 j は、次に読み出すメインレジスタファイル 2 1 A のアドレス値を示している。

【 0 0 4 4 】

入力アドレス AD のタグ TAG 及びエントリ ENT がそれぞれメインレジスタファイル 2 1 A の第 i レジスタの格納入力アドレスのタグ TAG 及びエントリ ENT と一致している場合、 $EQ\ i = '1'$ 、そうでない場合、 $EQ\ i = '0'$ であるとする。また、 $WS = '1'$ は、メインメモリ 3 0 からキャッシュメモリ 1 7 への 1 ロングワード書き込み待ちであることを示し、 $WS = '0'$ はこの書き込みが完了してキャッシュメモリ 1 7 に対するリード待ちであることを示すものとする。さらに、メインレジスタファイル 2 1 A のアドレス i の有効フラグ EF 及び待ち状態 WS をそれぞれ $EF\ m\ i$ 及び $WS\ i$ と表し、サブレジスタファイル 2 4 の有効フラグ EF を $EF\ s\ i$ と表す。

【 0 0 4 5 】

アドレスキュー記憶・選択回路 2 0 A への入力アドレス AD の書き込みは、次の規則に従って行われる。

【 0 0 4 6 】

(1) $WP = i$ 、 $EF\ m\ i = '0'$ 、 $EQ\ i = '0'$ 及び入力アドレス AD が $AD\ i$ ($AD = AD\ i$) であるとき、メインレジスタファイル 2 1 A のアドレス i に対し、 $AD\ i$ が書き込まれ、 $EF\ m\ i$ 及び $WS\ i$ がセットされる。

【 0 0 4 7 】

(2) $WP = i$ 、 $EF\ m\ i = '1'$ 、 $EQ\ i = '1'$ 及び $AD = AD\ i$ であるとき、サブレジスタファイル 2 4 のアドレス i に対し、 $AD\ i$ が書き込まれ、E

F s i がセットされ、ライトポインタWPが1だけインクリメントされる。

【0048】

メインレジスタファイル21Aのレジスタ数がnであるとき、ライトポインタWPの取りうる範囲は0～n-1であり、ライトポインタWPがn-1のときにライトポインタWPが1だけインクリメントされると1に戻る。この点は、リードポインタRPについても同様である。

【0049】

(3) WP=i、EFmi='1'、EQi='0'及びAD=ADiであるとき、ライトポインタWPが1だけインクリメントされてWP=i+1になり、サブレジスタファイル24のアドレスi+1に対し、ADiが書き込まれ、EFsiがセットされる。

【0050】

アドレスキュー記憶・選択回路20Aからの格納入力アドレスADの読み出しは、次の規則に従って行われる。

【0051】

(1) RP=j、EFmj='1'、AD=ADmj（メインレジスタファイル21Aのアドレスjの格納入力アドレスがADmj）、EFsj='1'及びOFS=OFSsj（サブレジスタファイル21Aのアドレスjの格納入力アドレスのオフセットがOFSsj）であるとき、メインレジスタファイル21AのアドレスjからADj及びWSが読み出され、オフセットOFSsjがメインレジスタファイル21Aのアドレスjに転送されてADmiのオフセットにOFSsjが書き込まれ、EFsjがリセットされ、WSjがリセットされる。

【0052】

(2) RP=j、EFmj='1'、AD=ADmj及びEFsj='0'であるとき、メインレジスタファイル21AのアドレスjからADmj及びWSjが読み出され、EFmjがリセットされ、リードポインタRPが1だけインクリメントされる。

【0053】

最初、ライトポインタWP及びリードポインタRPがゼロクリアされ、メイン

レジスタファイル 2 1 A の全ての有効フラグ E F 及び待ち状態 W S がリセットされている。

【 0 0 5 4 】

(T 0) W P = 0、E Q 0 = '0' 及び E F m 0 = '0' であるので、メインレジスタファイル 2 1 A のアドレス 0 に対し、A D = A D 0 が書き込まれ、E F m 0 及び W S 0 がセットされる。

【 0 0 5 5 】

R P = 0 であるので、メインレジスタファイル 2 1 A のアドレス 0 から A D 0 が読み出されて図 1 のメインメモリ制御回路 2 3 に供給される。W S 0 = '1' であるので、メインメモリ制御回路 2 3 により、A D 0 のタグ及びエントリに一致する一連のアドレスに対するリードアクセスがメインメモリ 3 0 に対して開始される。

【 0 0 5 6 】

(T 1) W P = 0、E Q 0 = '1' 及び E F m 0 = '1' であるので、サブレジスタファイル 2 4 アドレス 0 に対し、A D = A D 1 のオフセットが書き込まれ、E F s 0 がセットされ、ライトポインタ W P がインクリメントされて 1 になる。

【 0 0 5 7 】

(T 2) W P = 1、E Q 0 = '0' 及び E F m 1 = '0' であるので、メインレジスタファイル 2 1 A のアドレス 1 に対し、A D = A D 2 が書き込まれ、E F m 1 及び W S 1 がセットされる。

【 0 0 5 8 】

(T 3) W P = 1、E Q 1 = '0' 及び E F m 1 = '1' であるので、ライトポインタ W P がインクリメントされて 2 になり、メインレジスタファイル 2 1 A のアドレス 2 に A D = A D 3 が書き込まれ、E F m 2 及び W S 2 がセットされる。

【 0 0 5 9 】

時刻 T 1 でのリードアクセスが完了して 1 ロングワードのリードデータがキャッシュメモリ 1 7 に格納され、キャッシュ制御回路 1 6 からアドレスキュー制御

回路 1 9 A へ更新完了信号が供給される。E F s 0 = '1' であるので、アドレスキュー制御回路 1 9 A はこれに応答して、A D 1 のオフセットをメインレジスタファイル 2 1 A の同じアドレス 0 のレジスタのオフセットフィールドへ転送して書き込ませ、E F s 0 をリセットする。アドレスキュー制御回路 1 9 A はまた、メインレジスタファイル 2 1 A に格納されている格納入力アドレス A D のうち、タグ T A G 及びエントリ E N T が A D 1 のタグ及びエントリと同一で有効フラグ E F が '1' である全てのレジスタの待ち状態 W S を '0' (キャッシュメモリアクセス待ち状態) にする。

【 0 0 6 0 】

(T 4) W P = 2、E Q 2 = '1' 及び E F m 2 = '1' であるので、サブレジスタファイル 2 4 のアドレス 2 に対し、A D = A D 4 のオフセット O F S が書き込まれ、E F s 2 がセットされ、ライトポインタ W P がインクリメントされて 3 になる。

【 0 0 6 1 】

メインレジスタファイル 2 1 A のアドレス 0 について、A D 1 及び待ち状態 W S 0 が読み出され、有効フラグ E F m 0 がリセットされる。E F m 0 = E F s 0 = '0' であるので、リードポインタ R P がインクリメントされて 1 になる。W S 0 = '0' であるので、アドレスキュー制御回路 1 9 A は、キャッシュ制御回路 1 6 に M R A = A D 1 及び W S 0 を供給して、キャッシュ制御回路 1 6 に対しこのアドレスのデータの読み出しを要求する。これにより、キャッシュメモリ 1 7 から対応するデータが読み出される。

【 0 0 6 2 】

(T 5) W P = 3、E Q 3 = '0' 及び E F m 3 = '0' であるので、メインレジスタファイル 2 1 A のアドレス 3 に対し、A D = A D 5 が書き込まれ、E F m 3 及び W S 3 がセットされる。

【 0 0 6 3 】

メインレジスタファイル 2 1 A のアドレス 1 について、A D 2 及び待ち状態 W S 1 が読み出され、有効フラグ E F m 1 がリセットされる。E F m 0 = E F s 0 = '0' であるので、リードポインタ R P がインクリメントされて 2 になる。W

S 1 = '0' であるので、アドレスキュー制御回路 1 9 A は、キャッシュ制御回路 1 6 に M R A = A D 2 及び W S 1 を供給して、キャッシュ制御回路 1 6 に対しこのアドレスのデータの読み出しを要求する。これにより、キャッシュメモリ 1 7 から対応するデータが読み出される。

【 0 0 6 4 】

(T 6) W P = 3、E Q 3 = '0' 及び E F m 3 = '1' であるので、ライトポインタ W P がインクリメントされて 0 に戻り、メインレジスタファイル 2 1 A のアドレス 0 に A D = A D 6 が書き込まれ、E F m 0 及び W S 0 がセットされる。

【 0 0 6 5 】

メインレジスタファイル 2 1 A のアドレス 2 から A D 3 及び W S 2 が読み出されて図 1 のメインメモリ制御回路 2 3 に供給される。W S 2 = '1' であるので、メインメモリ制御回路 2 3 により、A D 0 のタグ及びエントリに一致する一連のアドレスに対するリードアクセスがメインメモリ 3 0 に対して開始される。

【 0 0 6 6 】

(T 7) W P = 0、E Q 0 = '0' 及び E F m 0 = '1' であるので、ライトポインタ W P がインクリメントされて 1 になり、メインレジスタファイル 2 1 A のアドレス 1 に A D = A D 7 が書き込まれ、E F m 1 及び W S 1 がセットされる。

【 0 0 6 7 】

このようにして、アドレスキュー制御回路 1 9 A によりアドレスキュー記憶・選択回路 2 0 A に対する F I F O 制御が行なわれる。

【 0 0 6 8 】

図 5 は、図 1 2 と同じ条件で A D 1 ~ A D 4 が順次格納される場合を示す動作シーケンス図である。

【 0 0 6 9 】

本第 1 実施形態によれば、サブレジスタファイル 2 4 のレジスタが格納入力アドレスのタグ及びエントリ並びに待ち状態のフィールドをもつ必要がないので、アドレスキューの記憶容量の増大を抑制して、記憶可能な入力アドレスの数を増

大させることが可能となり、これによりキャッシュミスアドレスキューの回路規模を縮小することができるという効果を奏する。

【 0 0 7 0 】

[第 2 実施形態]

図 6 は、本発明の第 2 実施形態のキャッシュミスアドレスキューの一部を示す概略ブロック図であり、図 7 はこのキャッシュミスアドレスキューの残りの部分を示す概略ブロック図である。

【 0 0 7 1 】

アドレスキュー記憶・選択回路 2 0 B は、図 2 の構成にさらに選択転送回路 2 7 及び第 2 サブレジスタファイル 2 8 を有する点で、図 2 のアドレスキュー記憶・選択回路 2 0 A と異なる。すなわち、この回路では、第 1 サブレジスタファイル 2 4 が選択転送回路 2 6 を介してメインレジスタファイル 2 1 A に接続され、第 2 サブレジスタファイル 2 8 が選択転送回路 2 7 を介して第 1 サブレジスタファイル 2 4 に接続されている。第 1 サブレジスタファイル 2 4 と第 2 サブレジスタファイル 2 8 とは互いに同一構成であり、選択転送回路 2 6 と 2 7 とは互いに同一構成である。

【 0 0 7 2 】

アドレスキュー記憶・選択回路 2 0 B への入力アドレス A D の書き込みは、次の規則に従って行われる。

【 0 0 7 3 】

(1) $WP = i$ 、 $EF_{mi} = '0'$ 、 $EQ_i = '0'$ 及び $AD = AD_i$ であるとき、メインレジスタファイル 2 1 A のアドレス i に対し、 AD_i が書き込まれ、 EF_{mi} 及び WS_i がセットされる。

【 0 0 7 4 】

(2 a) $WP = i$ 、 $EF_{mi} = '1'$ 、 $EQ_i = '1'$ 、第 1 サブレジスタファイル 2 4 のアドレス i の有効フラグ EF_{1si} が $'0'$ 、 $AD = AD_i$ であるとき、第 1 サブレジスタファイル 2 4 のアドレス i に対し、 AD_i が書き込まれ、有効フラグ EF_{1s} がセットされ、そしてライトポインタ WP が 1 だけインクリメントされる。

【0075】

(2b) $WP=i$ 、 $EFmi = '1'$ 、 $EQi = '1'$ 、 $EF1si = '1'$ 、第2サブレジスタファイル28のアドレス i の有効フラグ $EF2si$ が $'0'$ 、 $AD=ADi$ であるとき、第2サブレジスタファイル28のアドレス i に対し、 ADi が書き込まれ、 $EF2si$ がセットされ、そしてライトポインタ WP が1だけインクリメントされる。

【0076】

(3) $WP=i$ 、 $EFmi = '1'$ 、 $EQi = '0'$ 、 $AD=ADi$ であるとき、ライトポインタ WP が1だけインクリメントされて $WP=i+1$ になり、第1サブレジスタファイル24のアドレス $i+1$ に対し、 ADi が書き込まれ、 $EF1s(i+1)$ がセットされる。

【0077】

アドレスキュー記憶・選択回路20Bからの格納入力アドレス AD の読み出しは、次の規則に従って行われる。

【0078】

(1a) $RP=j$ 、 $EFmj = '1'$ 及び $AD=ADj$ 、 $EF1sj = '1'$ 及び第1サブレジスタファイル24のアドレス j の格納入力アドレスのオフセット OFS が $OFS1sj$ 、第2サブレジスタファイル28のアドレス j の有効フラグ $EF2sj$ が $'0'$ であるとき、メインレジスタファイル21Aのアドレス j から ADj 及び待ち状態 WSj が読み出され、オフセット $OFS1sj$ がメインレジスタファイル21Aのアドレス j に転送されて ADi のオフセットに $OFS1sj$ が書き込まれ、 $EF1sj$ がリセットされ、 WSj がリセットされる。

【0079】

(1b) $RP=j$ 、 $EFmj = '1'$ 、 $AD=ADj$ 、 $EF1sj = '1'$ 、第1及び第2サブレジスタファイルのアドレス j の格納入力アドレスのオフセットがそれぞれ $OFS1sj$ 及び $OFS2sj$ 、並びに、 $EF2sj = '1'$ であるとき、メインレジスタファイル21Aのアドレス j から ADj 及び WSj が読み出され、 $OFS1sj$ がメインレジスタファイル21Aのアドレス j に転送されて ADi のオフセットに $OFS1sj$ が書き込まれ、次いでオフセット OFS

2 s j がサブレジスタファイル 2 4 のアドレス j に転送されてオフセット O F S 1 s j が O F S 2 s j に書き換えられ、E F 2 s j がリセットされ、W S j がリセットされる。

【 0 0 8 0 】

(2) R P = j、E F m j = '1'、A D = A D j、E F 1 s j = '0' であるとき、メインレジスタファイル 2 1 A のアドレス j から A D j 及び W S j が読み出され、E F m j がリセットされ、リードポインタ R P が 1 だけインクリメントされる。

【 0 0 8 1 】

本第 2 実施形態によっても、上記第 1 実施形態と同様な効果が得られる。

【 0 0 8 2 】

〔第 3 実施形態〕

図 8 は、本発明の第 3 実施形態のキャッシュミスアドレスキュー示す概略ブロック図である。

【 0 0 8 3 】

アドレスキュー記憶・選択回路 2 0 C では、サブレジスタファイル 2 4 A のレジスタ 2 4 1 A 及び 2 4 2 A がいずれも、オフセット O F S のみならずタグ T A G のフィールドを有する点で、図 2 のサブレジスタファイル 2 4 と異なっている。また、タグ & エントリ一致判定回路 2 5 A のコンパレータ 2 5 1 A は、この違いに対応して、入力アドレス A D のエントリ E N T の値がレジスタ 2 1 1 の格納入力アドレスのエントリの値に一致し、かつ、レジスタ 2 1 1 の有効フラグ E F が '1' である場合、その出力一致信号 E Q 1 を活性にする。一致信号 E Q 1 は、アドレスキュー制御回路 1 9 A に供給される。コンパレータ 2 5 2 A についてもコンパレータ 2 5 1 A と同様である。

【 0 0 8 4 】

アドレスキュー記憶・選択回路 2 0 C への入力アドレス A D の書き込み及びアドレスキュー記憶・選択回路 2 0 C からの格納入力アドレスの読み出しの規則は、上記第 1 実施例と同様である。

【 0 0 8 5 】

本第 3 実施形態によれば、入力アドレス A D のエントリ E N T の値が、前回メインレジスタファイル 2 1 A に書き込まれた格納入力アドレスのエントリの値に一致する場合、入力アドレス A D のタグ T A G 及びオフセット O F S がサブレジスタファイル 2 4 A に書き込まれ、上記第 1 実施形態と同様な効果が得られる。

【 0 0 8 6 】

[第 4 実施形態]

図 9 は、本発明の第 4 実施形態のキャッシュミスアドレスキューを示す概略ブロック図である。

【 0 0 8 7 】

アドレスキュー記憶・選択回路 2 0 D では、サブレジスタファイル 2 4 B のレジスタ 2 4 1 B 及び 2 4 2 B がいずれも、オフセット O F S のみならずエントリ E N T のフィールドを有する点で、図 2 のサブレジスタファイル 2 4 と異なっている。また、タグ&エントリ一致判定回路 2 5 B のコンパレータ 2 5 1 B は、この違いに対応して、格納入力アドレス A D のタグ T A G の値がレジスタ 2 1 1 の格納入力アドレスのタグの値に一致し、かつ、レジスタ 2 1 1 の有効フラグ E F が '1' である場合、その出力一致信号 E Q 1 を活性にする。一致信号 E Q 1 は、アドレスキュー制御回路 1 9 A に供給される。コンパレータ 2 5 2 B についてもコンパレータ 2 5 1 B と同様である。

【 0 0 8 8 】

アドレスキュー記憶・選択回路 2 0 D への入力アドレス A D の書き込み及びアドレスキュー記憶・選択回路 2 0 D からの格納入力アドレスの読み出しの規則は、上記第 1 実施例と同様である。

【 0 0 8 9 】

本第 4 実施形態によれば、入力アドレス A D のタグ T A G の値が、前回メインレジスタファイル 2 1 A に書き込まれた格納入力アドレスのタグの値に一致する場合、入力アドレス A D のエントリ E N T 及びオフセット O F S がサブレジスタファイル 2 4 B に書き込まれ、上記第 1 実施形態と同様な効果が得られる。

【 0 0 9 0 】

なお、本発明には外にも種々の変形例が含まれる。

【0091】

例えば、図2においてタグ&エントリ一致判定回路25は、一方の入力端に入力アドレスADのタグTAG及びエントリENTの値が供給される1つのコンパレータと、出力端が該コンパレータの他方の入力端に接続され複数の入力端にそれぞれメインレジスタファイル21Aの対応するレジスタのタグ及びエントリの値が供給されるマルチプレクサとを備えた構成であってもよい。この点は、図6、図8及び図9についても同様である。

【0092】

また、図7及び図8ではメインレジスタファイル21Aに対し各レジスタのビット長がメインレジスタファイル21Aより短いサブレジスタファイルを2列備えた場合を説明したが、3列以上備えた構成であってもよいことは勿論である。この点は第3及び第4実施例においてメインレジスタファイル21Aに対し各レジスタのビット長がメインレジスタファイル21Aより短いサブレジスタファイルを複数列備える場合についても同様である。

【0093】

さらに、待ち状態情報としてのWSを複数ビットにして、待ち状態をさらに詳しく分類した構成であってもよい。

【0094】

また、本発明のキャッシュミスアドレスキューは、データキャッシュのみならず命令キャッシュに対しても適用できる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態の、メインメモリに接続されたプロセッサの概略ブロック図である。

【図2】

本第1実施形態の特徴部分であるキャッシュミスアドレスキューのより詳細な構成を、簡単化のためにメインレジスタファイルのレジスタ数が2である場合について示す概略ブロック図である。

【図3】

レジスタファイルの書き込み順及び読み出し順を説明するための動作シーケンス図である。

【図 4】

図 3 の続きの動作シーケンス図である。

【図 5】

入力アドレス A D 1 ～ A D 4 が順次格納される場合を示す動作シーケンス図である。

【図 6】

本発明の第 2 実施形態のキャッシュミスアドレスキューの一部を示す概略ブロック図である。

【図 7】

該第 2 実施形態のキャッシュミスアドレスキューの残りの部分を示す概略ブロック図である。

【図 8】

本発明の第 3 実施形態のキャッシュミスアドレスキュー示す概略ブロック図である。

【図 9】

本発明の第 4 実施形態のキャッシュミスアドレスキューを示す概略ブロック図である。

【図 1 0】

メインメモリに接続された従来のプロセッサを示す概略ブロック図である。

【図 1 1】

入力アドレス A D の、キャッシュメモリとの関係で定義されるフィールド構成と、タグテーブルと、ヒット／ミス判定回路との関係を示す説明図である。

【図 1 2】

図 1 0 中のキャッシュミスアドレスキューの動作シーケンス図である。

【符号の説明】

1 0、1 0 A プロセッサ

1 1 命令実行回路

1 2、1 2 A データアクセス回路
1 4 タグテーブル
1 5 ヒット／ミス判定回路
1 6 キャッシュ制御回路
1 7 キャッシュメモリ
1 8、2 2、2 6 1、2 6 2、2 7 1、2 7 2 セレクタ
1 9、1 9 A、1 9 B アドレスキュー制御回路
2 0、2 0 A～2 0 E アドレスキュー記憶・選択回路
2 1、2 9 1 レジスタファイル
2 1 A、2 1 B メインレジスタファイル
2 3 メインメモリ制御回路
2 4、2 4 A、2 4 B サブレジスタファイル
2 1 1、2 1 2、2 1 1 B、2 1 2 B、2 4 1、2 4 2、2 4 1 A、2 4 2 A
、2 4 1 B、2 4 2 B レジスタ
2 5、2 5 A、2 5 B タグ&エントリ一致判定回路
2 5 1、2 5 2、2 5 1 A、2 5 2 A、2 5 1 B、2 5 2 B コンパレータ
2 8 第2サブレジスタファイル
2 6、2 7 選択転送回路
3 0 メインメモリ
A D 入力アドレス
R D リードデータ
R Q リクエスト信号
A C K アクノリッジ信号
B S Y ビジー信号
R A リードアドレス
M R Q メインメモリリードリクエスト信号
M R A メインメモリリードアドレス
W S 待ち状態
R D Y レディー信号

CD キャッシュライトデータ

TAG タグ

ENT エントリ

OFS オフセット

EQ 1、EQ 2 一致信号

LP 1 1、LP 1 2、LP 2 1、LP 2 2 ラッチパルス

SEL、SEL 2 選択制御信号

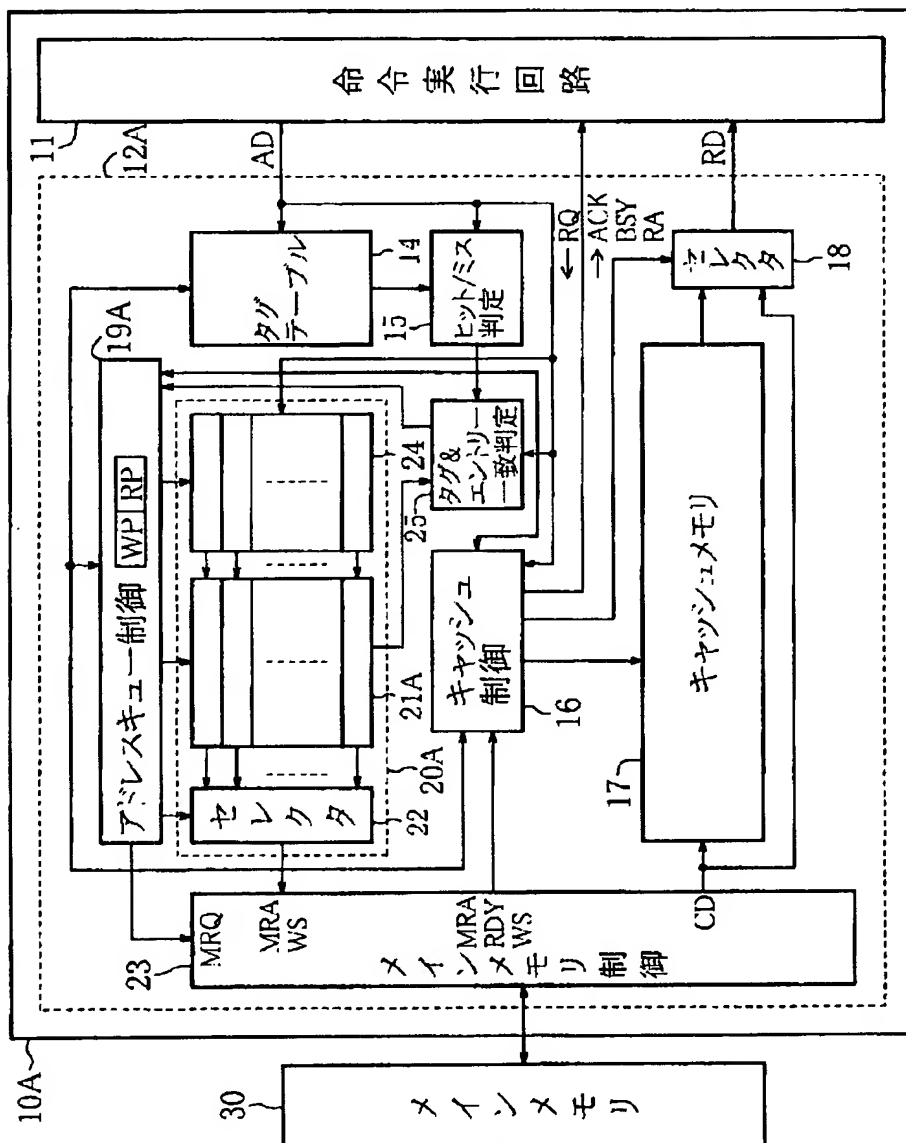
WP ライトポインタ

RP リードポインタ

【書類名】 図面

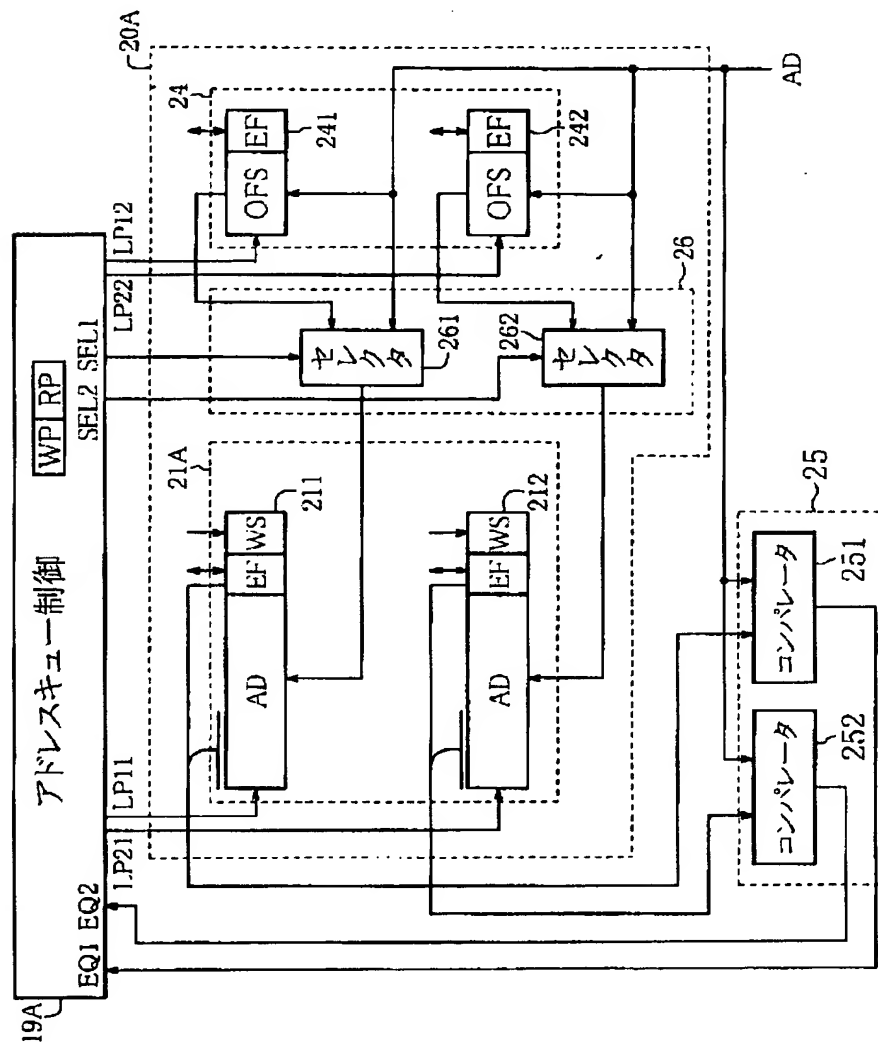
【図 1】

本発明の第1実施形態の、メインメモリに接続されたプロセッサの概略ブロック図



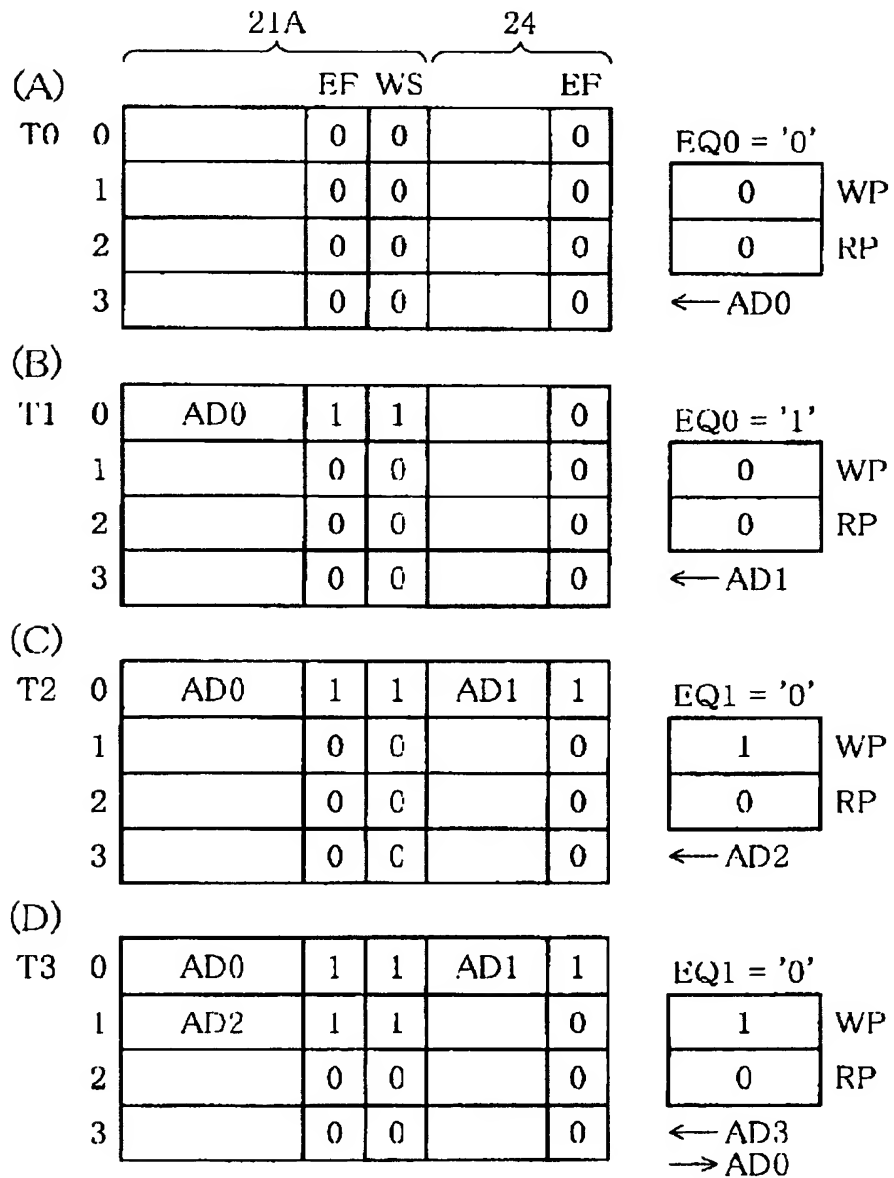
【図 2】

本第1実施形態の特徴部分であるキャッシュミスアドレスキューのより詳細な構成を、簡単化のためにメインレジスタファイルのレジスタ数が2である場合について示す概略ブロック図



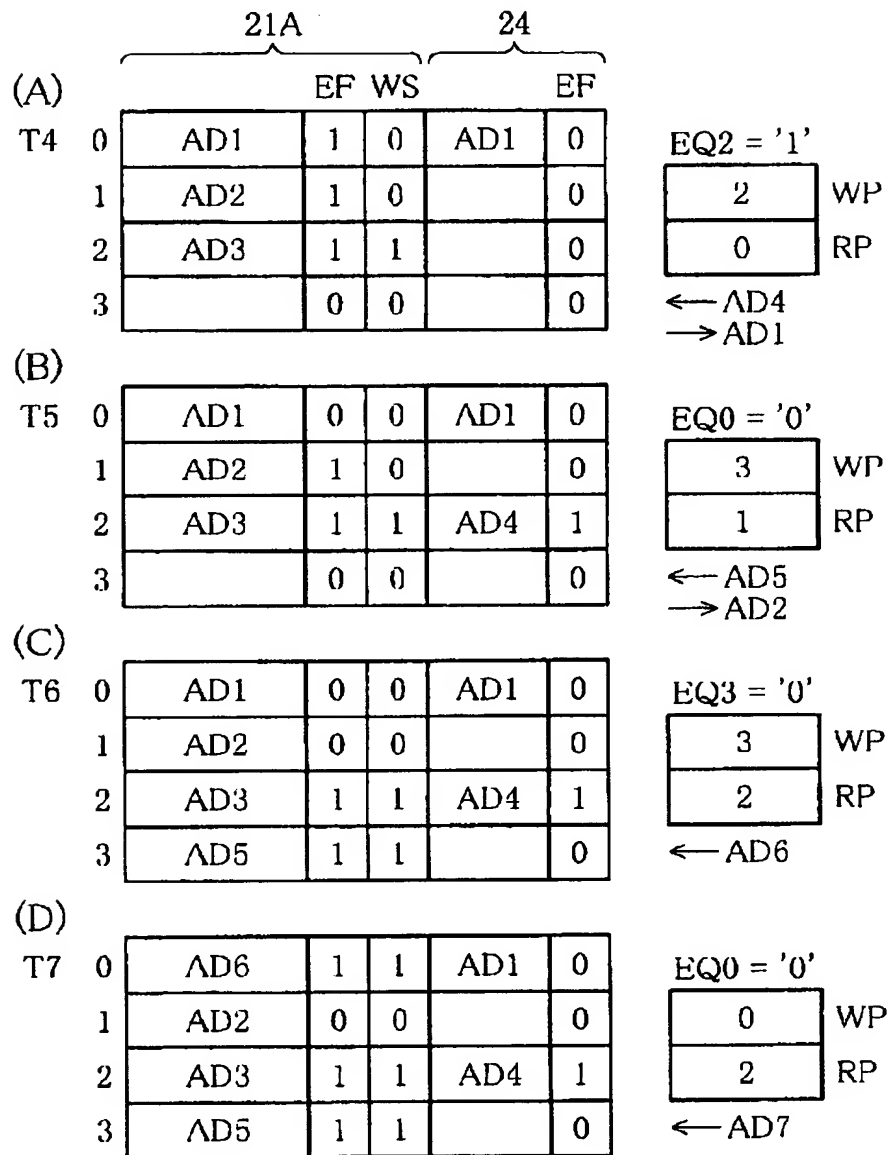
【図 3】

レジスタファイルの書き込み順及び読み出し順を説明するための動作シーケンス図



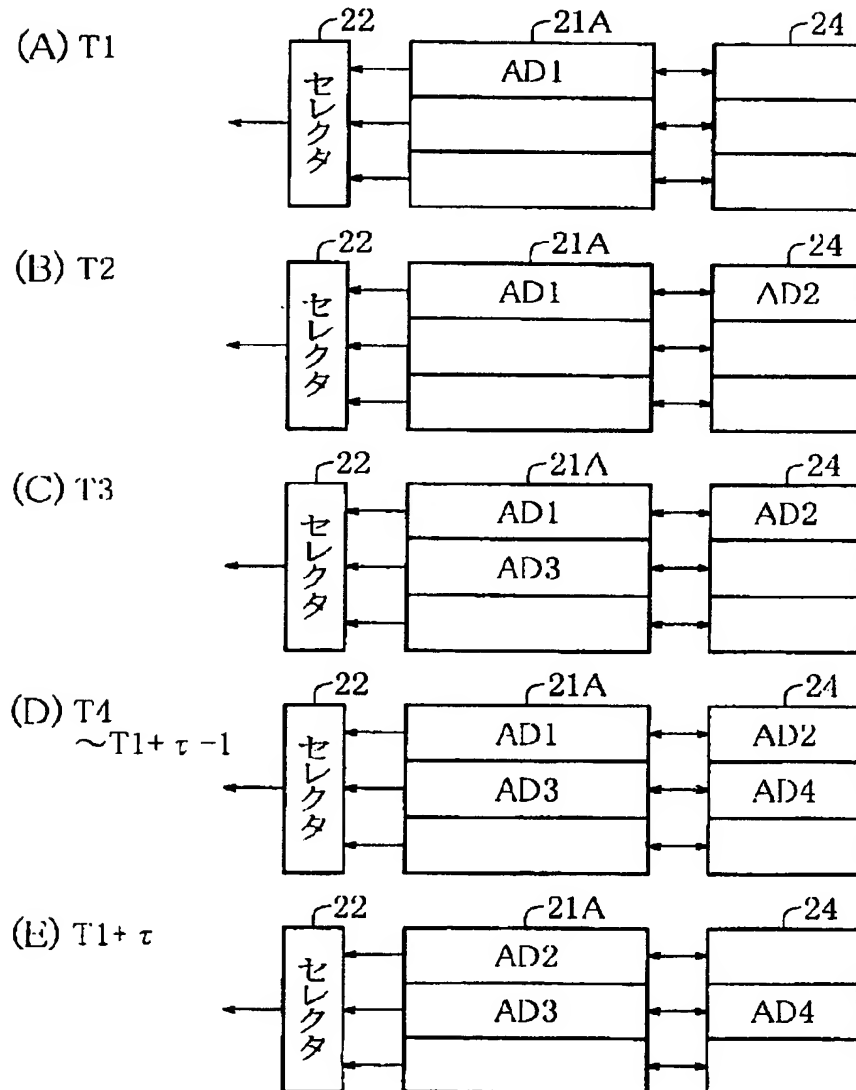
【図 4】

図3の続きの動作シーケンス図



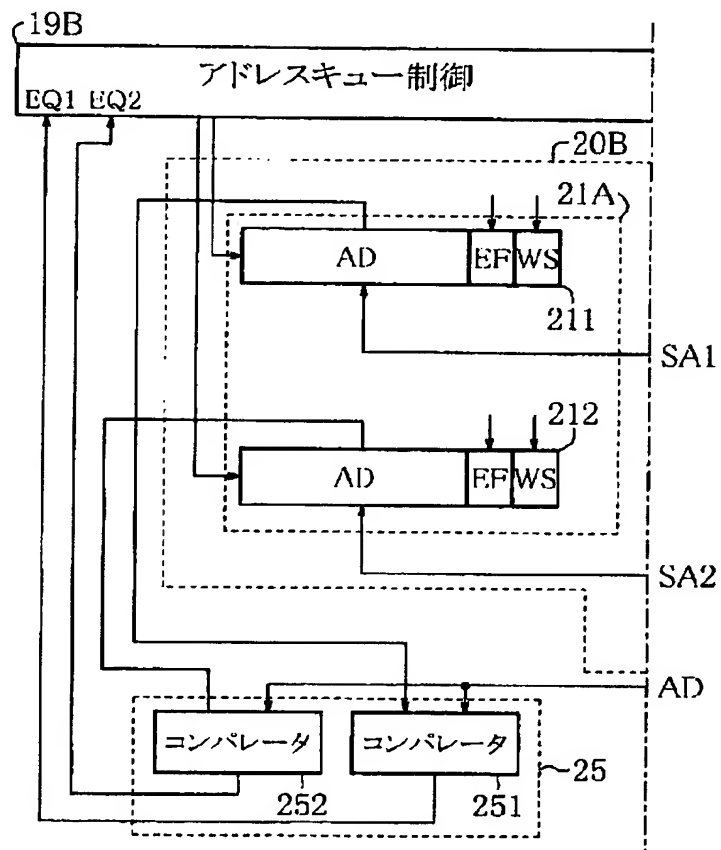
【図 5】

入力アドレスAD1～AD4が順次格納される場合を示す動作シーケンス図



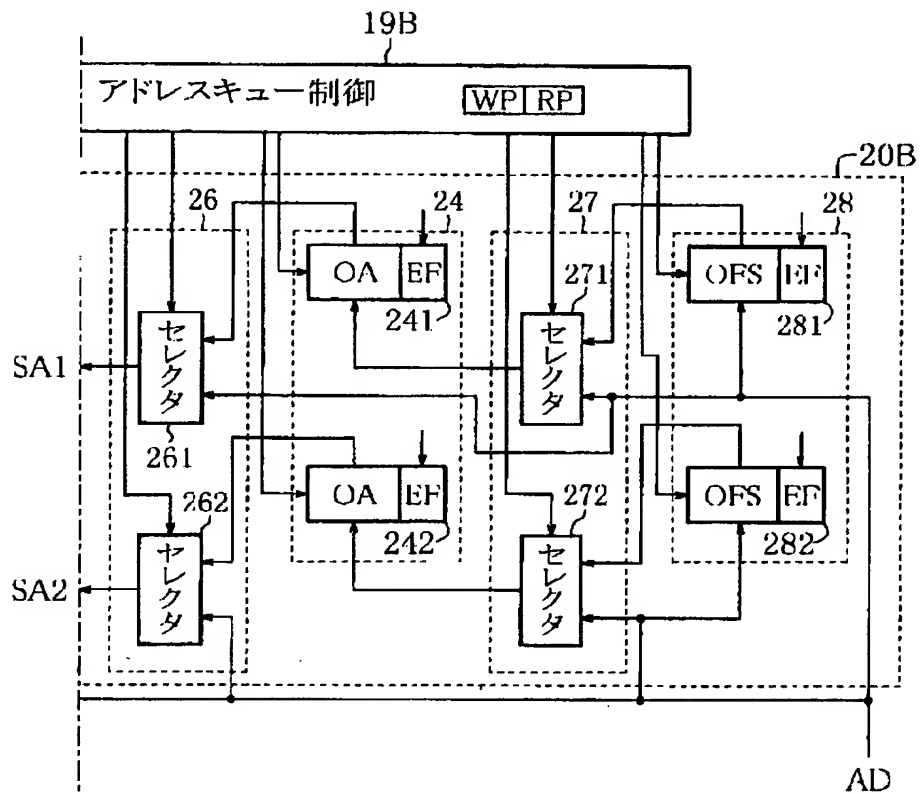
【図 6】

本発明の第2実施形態のキャッシュミスアドレスキューの一部を示す概略ブロック図



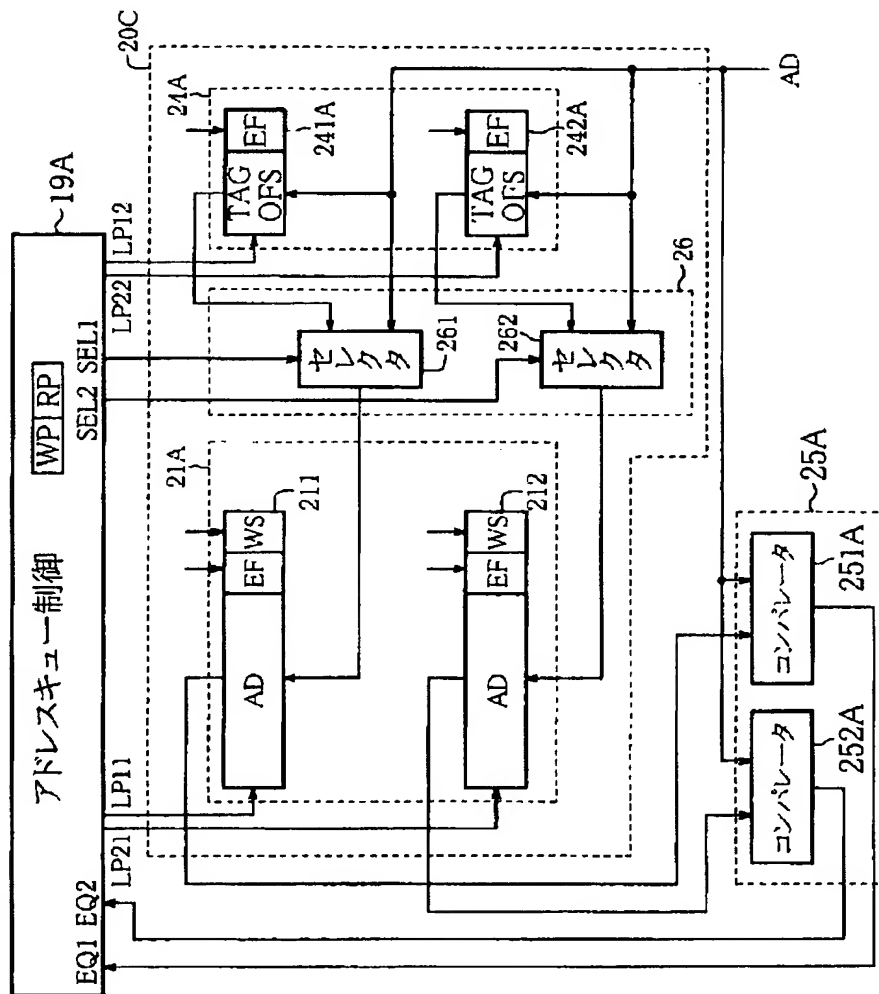
【図 7】

該第2実施形態のキャッシュミスアドレスキューの残りの部分を示す概略ブロック図



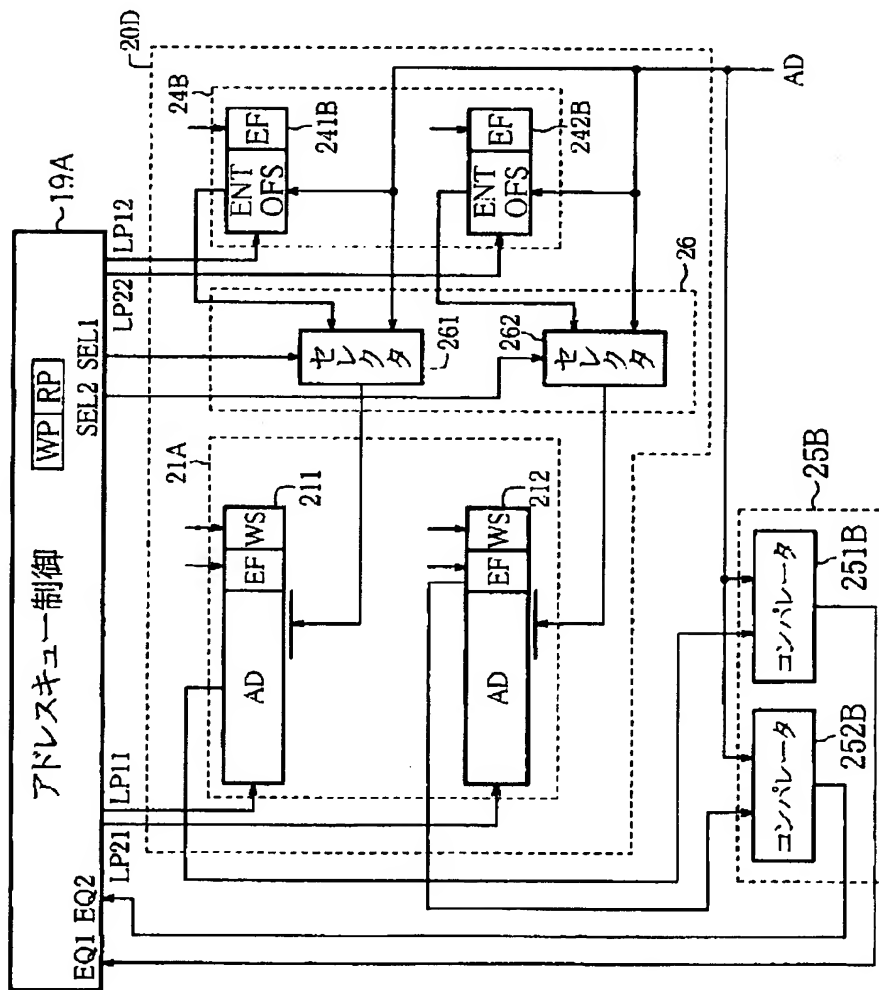
【図 8】

本発明の第3実施形態のキャッシュミスアドレスキューを示す概略ブロック図



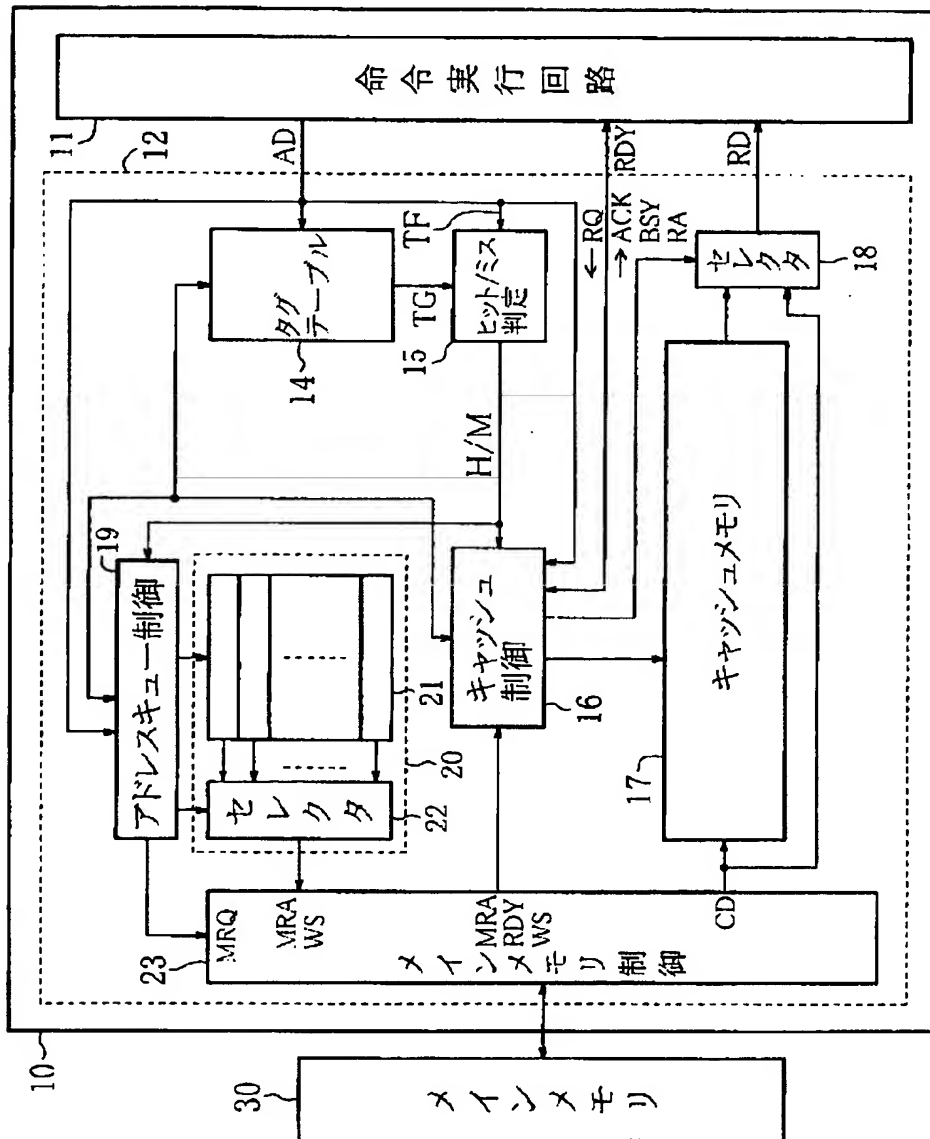
【図 9】

本発明の第4実施形態のキャッシュミスアドレスキューを示す概略ブロック図



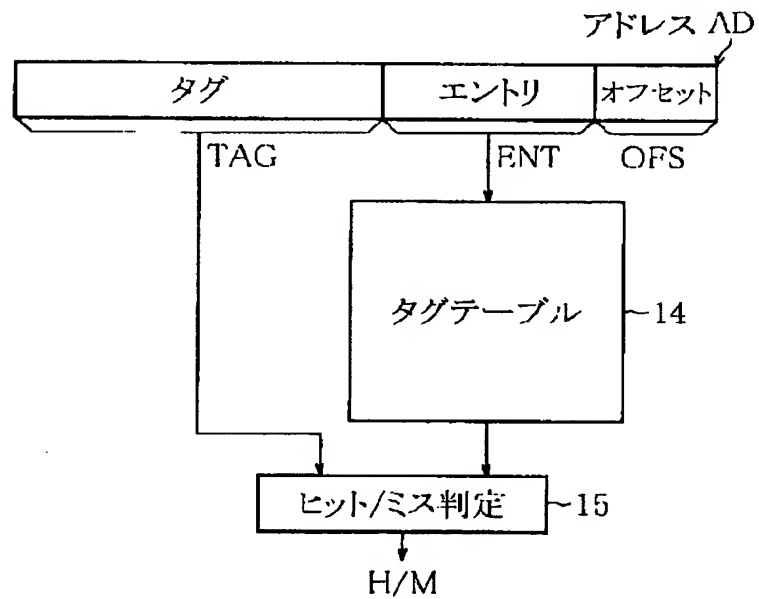
【図10】

メインメモリに接続された従来のプロセッサを示す概略ブロック図



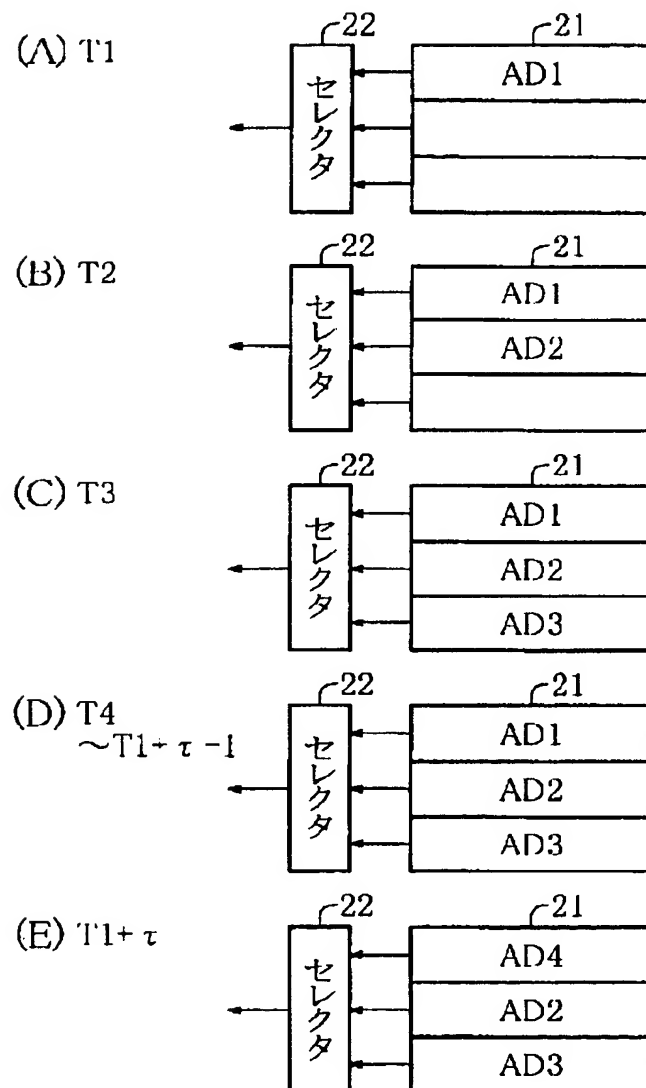
【図 1 1】

入力アドレスADの、キャッシュメモリとの関係で定義されるフィールド構成と、タグテーブルと、ヒット／ミス判定回路との関係を示す説明図



【図 1 2】

図 10 中のキャッシュミスアドレスキューの
動作シーケンス図



【書類名】 要約書

【要約】

【課題】 記憶容量の増大を抑制して、格納できるアドレス数を増加させる。

【解決手段】 入力アドレスADが前回、レジスタ211に格納された場合、アドレスキュー制御回路19Aは、一致信号EQ1が活性であれば入力アドレスADのオフセットをレジスタ241にラッチさせ、一致信号EQ1が不活性であればセクタ262を介し入力アドレスADをレジスタ212にラッチさせる。入力アドレスADが前回、レジスタ241に格納された場合、アドレスキュー制御回路19Aはセクタ262を介し入力アドレスADをレジスタ212にラッチさせる。アドレスキュー制御回路19Aは、レジスタ211の内容を読み出させた後、レジスタ241のオフセットOFSを、セクタ261を介しレジスタ211のオフセットフィールドにシフトさせ、レジスタ241の有効フラグEF及び待ち状態WSをリセットする。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社